

Coupled memory cell and dynamic memory containing such a cell

Patent Number: FR2595160
Publication date: 1987-09-04
Inventor(s): KOWALSKI JACEK
Applicant(s):: EUROTECHNIQUE SA (FR)
Requested Patent: FR2595160
Application Number: FR19860002874 19860228
Priority Number(s): FR19860002874 19860228
IPC Classification:
EC Classification: G11C11/404, G11C11/4097
Equivalents:

Abstract

The invention relates to an improved memory cell and an improved dynamic memory. The storage capacitance CS is formed floating in potential between the lines (BL and BL¹). Thus the signal gain is increased to allow the manufacture of denser or faster memories. The refresh operations are restricted and the sensitivity to noise and to alpha rays is reduced.

Data supplied from the esp@cenet database - I2

(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication :

(à n'utiliser que pour les
commandes de reproduction)

2 595 160

(21) N° d'enregistrement national :

86 02874

(51) Int Cl⁴ : G 11 C 11/24, 11/40.

(12)

DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 28 février 1986.

(71) Demandeur(s) : Société dite : EUROTECHNIQUE — FR.

(30) Priorité :

(72) Inventeur(s) : Jacek Kowalski

(43) Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 36 du 4 septembre 1987.

(60) Références à d'autres documents nationaux appa-
rentées :

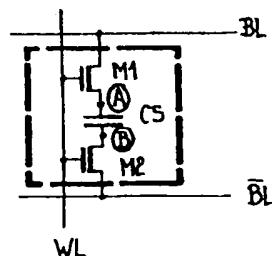
(73) Titulaire(s) :

(74) Mandataire(s) : Philippe Jullien, Thomson-CSF SCPI.

(54) Cellule mémoire couplée et mémoire dynamique comportant une telle cellule.

(57) L'invention concerne une cellule mémoire et une mémoire
dynamique améliorées.

La capacité de stockage CS est constituée flottante en
potentiel entre les lignes (BL et BL/). Ainsi le gain en signal
est augmenté pour permettre la fabrication de mémoires plus
denses ou plus rapides. On limite les opérations de rafraîchi-
sement et on abaisse la sensibilité aux bruits et aux rayons
alpha.



FR 2 595 160 - A1

D

1

CELLULE MEMOIRE COUPLEE ET MEMOIRE
DYNAMIQUE COMPORTANT UNE TELLE CELLULE

La présente invention concerne une cellule mémoire couplée. Elle concerne aussi une mémoire dynamique couplée. Elle trouve application dans le domaine de la conception des mémoires dynamiques RAM.

5 Dans l'art antérieur, une cellule mémoire pour une mémoire dynamique RAM comporte une capacité de cellule relativement petite par rapport à la capacité de la ligne de charge. Le partage de charge entre la capacité de cellule et la capacité de ligne produit une différence de potentiel entre la ligne et la masse. Il s'en suit que
10 l'amplificateur différentiel de lecture de ligne doit lire une petite différence de potentiel. Si on augmente la capacité de la cellule mémoire, sa taille augmente, ce qui réduit la quantité de bits enregistrables dans une mémoire sur une surface raisonnable de silicium. D'autre part, la capacité de ligne comportant les capacités
15 d'une partie des conducteurs de ligne par rapport au substrat et d'autre part des drains des transistors des cellules, la valeur de seuil de cette capacité de ligne limite le nombre de cellules accessibles sur une ligne.

20 Un objet de l'invention est de fournir une cellule mémoire améliorée qui permette d'établir une lecture par l'amplificateur différentiel de ligne avec une meilleure sensibilité à capacité de cellule constante. Il s'ensuit qu'il est possible de construire des mémoires dynamiques plus grandes en nombre de bits et plus rapides.

25 Un autre objet de l'invention est de réduire la sensibilité de la cellule au bruit. La cellule mémoire réclame un rafraîchissement moins fréquent.

30 Un autre objet de l'invention est de réduire la sensibilité de la cellule aux bombardements neutroniques des rayons alphas. Ainsi les mémoires utilisant la cellule de l'invention sont susceptibles de

conserver leurs informations même en cas d'un environnement neutronique comme c'est le cas après l'explosion d'une bombe thermonucléaire.

5 C'est un autre objet de l'invention de permettre de réduire les problèmes liés à la variation de la tension disponible sur l'alimentation continue de polarisation (phénomène de "power slew").

10 En effet l'invention concerne une cellule mémoire couplée du type comportant un élément de charge électrique à accès commandé par au moins une ligne de sélection et une ligne de charge. L'invention se caractérise par le fait que l'élément de charge est une capacité disposée flottante entre deux lignes de charge fonctionnant en modes complémentaires.

15 L'invention concerne aussi une mémoire dynamique qui comporte des cellules mémoires couplées du type précisé plus haut.

15 D'autres avantages et caractéristiques seront exposés à l'aide de la description et des figures qui sont :

- la figure 1 : un schéma d'un premier mode de réalisation d'une cellule mémoire couplée selon l'invention ;

20 - les figures 2a à 2d : des schémas de fonctionnement de cette cellule dans un premier état ;

- la figure 3 : un schéma de fonctionnement de cette cellule dans un second état ;

- la figure 4 : un schéma explicatif du fonctionnement d'une cellule mémoire selon l'art antérieur ;

25 - la figure 5 : un schéma d'un second mode de réalisation d'une cellule mémoire couplée selon l'invention ;

- la figure 6 : un schéma d'un dessin de masques d'une partie d'une mémoire dynamique selon l'invention ;

30 - la figure 7 : un schéma d'un dessin de masques d'une partie comparable d'une mémoire dynamique selon l'art antérieur ;

- les figures 8 à 10 : des schémas montrant le fonctionnement de deux cellules mémoire couplées selon le second mode de réalisation.

La cellule mémoire couplée selon l'invention permet d'obtenir

un signal différentiel entre les lignes de bit beaucoup plus important que le signal obtenu avec une cellule mémoire classique à 1 transistor et une capacité. Le schéma de cette cellule est représenté à la figure 1.

5 Pour rendre maximal le signal différentiel entre les lignes de charge BL et BL/, le couplage entre ces deux lignes à travers la capacité CS est utilisé. En effet, la situation est la suivante. Les deux lignes BL et BL/ sont préchargées à la même tension VBLO. Quand on rend conducteur les deux transistors M1 et M2, il y a 10 partage des charges entre le noeud A et la ligne BL et entre le noeud B et la ligne BL/. Les tensions aux noeuds A et B changent. Le couplage par la capacité CS permet de transmettre ce changement de l'autre côté de celle-ci et d'augmenter ainsi le signal différentiel obtenu.

15 Soit une précharge des lignes de charge à Vcc/2. Avant le déblocage des transistors M1 et M2, le noeud A est au potentiel bas du substrat (VSS) et le noeud B au potentiel haut de l'alimentation (VCC). Pendant le partage de charges, le potentiel du noeud A monte et celui du noeud B descend. Mais le couplage capacitif fait 20 que le noeud A monte moins (car le noeud B descend) et le noeud B descend moins (car le noeud A monte). Le phénomène permet d'obtenir une différence de signal près de 4 fois plus importante que dans le cas d'un simple partage de charges entre une ligne de bit et une capacité de stockage (le cas de la cellule à 1 transistor de l'art 25 antérieur).

Pour calculer la différence du signal obtenue, on considère le schéma de la figure 3.

En appliquant le principe de conservation des charges, il vient :

$$30 \quad C1 \cdot VA + CS \cdot (VB - VC) = C1 \cdot V1 + CS \cdot (V1 - V2)$$

$$C2 \cdot VD + CS \cdot (VC - VB) = C2 \cdot V2 + CS \cdot (V2 - V1)$$

d'où $V1 = \frac{C2 \cdot CS \cdot VD + C2 \cdot C1 \cdot VA + C1 \cdot CS \cdot VA + C2 \cdot CS \cdot (VB - VE)}{C1 \cdot C2 + C2 \cdot CS + C1 \cdot CS}$

$$V_2 = \frac{C_1 \cdot C_S \cdot V_A + C_1 \cdot C_2 \cdot V_D + C_2 \cdot C_S \cdot V_D + C_1 \cdot C_S \cdot (V_C - V_B)}{C_1 \cdot C_2 + C_2 \cdot C_S + C_1 \cdot C_S}$$

La différence de signal entre V_1 et V_2 obtenue est égale à

5

$$DV = V_1 - V_2 = \frac{C_1 \cdot C_2 \cdot (V_A - V_D) + C_S \cdot (C_1 + C_2) \cdot (V_B - V_C)}{C_1 \cdot C_2 + C_2 \cdot C_S + C_1 \cdot C_S}$$

Si les lignes de charge sont préchargées à la même tension (cas réel), l'équation se simplifie à la formule suivant :

10

$$DV = \frac{C_S \cdot (C_1 + C_2) \cdot (V_B - V_C)}{C_1 \cdot C_2 + C_2 \cdot C_S + C_1 \cdot C_S}$$

On a donné à titre d'exemple le calcul pour le cas de précharge des lignes BL , $BL/$ à 2,5V et le rapport de capacités $\frac{C_1}{C_S} = \frac{C_2}{C_S} = 10$.

15

$$C_1 = C_2 = 10 \cdot C_S$$

$$V_A = V_D = 2,5 \text{ Volts}$$

$$V_C = 0 \text{ Volt}$$

$$V_B = 5 \text{ Volts}$$

$$\text{d'où } DV = \frac{100}{120} = 0,834 \text{ Volts}$$

20

On peut comparer ce résultat au résultat obtenu avec la cellule mémoire classique à 1 transistor et une capacité de la figure 4.

Le calcul semblable au cas de la cellule couplée permet d'obtenir :

25

$$DVA = V_{BL}/ - V_{BL} = V_{BLO}/ - \frac{C_S \cdot V_C + C_1 \cdot V_{BLO}}{C_1 + C_S}$$

où

C_S : capacité de la cellule

C_1 : capacité de la ligne de charge BL ou $BL/$

30

V_{BLO} tension de précharge de la ligne BL

$V_{BLO}/$: tension de précharge de la ligne $BL/$

V_C : tension stockée sur la capacité C_S .

Dans le cas réel $V_{BLO} = V_{BLO}/ = V_{PR}$. On obtient

$$DVA = \frac{(V_{PR} - V_C) C_S}{C_S + C_1}$$

En se plaçant dans les conditions du calcul précédent pour la cellule couplée, la différence de signal obtenue est égale à :

DVA : 0.227 V

Le rapport entre les deux résultats donne

5
$$\frac{\text{DVM}}{\text{DVA}} = \frac{0.834}{0.227} = 3.67$$

Ainsi il apparaît que, pour les mêmes capacités mémoire et capacité de la ligne de mot, le signal différentiel obtenu entre les deux lignes de charge est près de 4 fois plus important pour la cellule couplée par rapport à la cellule classique.

La cellule couplée a d'autres avantages par rapport à la cellule classique.

15 1. Dans les mémoires dynamiques de l'art antérieur la capacité mémoire ne peut pas descendre en-dessous d'environ 50fF à cause des problèmes de bruit provoquant des erreurs à la lecture. Dans la cellule couplée, les deux bornes de la capacité sont flottantes pendant la mémorisation et la différence de signal est conservée malgré le bruit et les fuites. C'est cette différence et non les niveaux des tensions qui est détectée à la lecture. Cette caractéristique augmente considérablement l'immunité au bruit de la cellule couplée. Ainsi la capacité de stockage CS peut descendre en-dessous de 50fF, ce qui permet de diminuer la surface prise par la cellule.

25 2. La cellule couplée permet d'éliminer les problèmes liés aux variations de la tension d'alimentation pendant les cycles de lecture écriture (Slew power) car la borne de la capacité de stockage connectée au potentiel fixe (cell-plate) est supprimée.

Il est ainsi possible de fabriquer :

- soit des mémoires dynamiques plus denses,
- soit des mémoires dynamiques plus rapides.

30 A la figure 5, on a représenté une cellule mémoire couplée à un seul transistor T et une capacité de stockage CS. On s'est aperçu que les avantages principaux du premier mode de réalisation étaient

capacité de stockage monte à un potentiel d'un peu moins de 5 Volts c'est à dire VCC, puis redescend à 2,5 Volts (soit VCC/2) par action de l'amplificateur de lecture, et la ligne BL chute à VCC/2.

5 Ensuite la ligne WL1 passe à "0" et la ligne BL est de retour précharge à VCC.

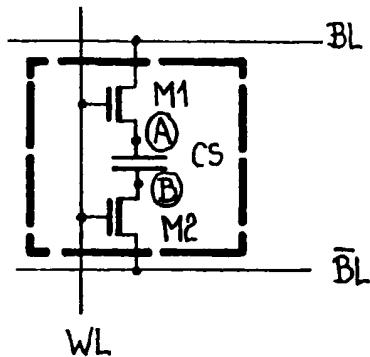
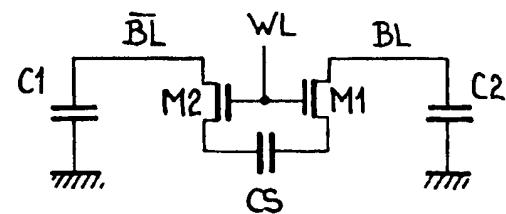
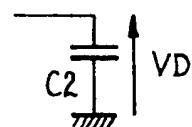
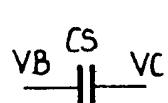
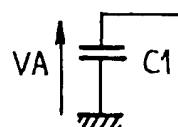
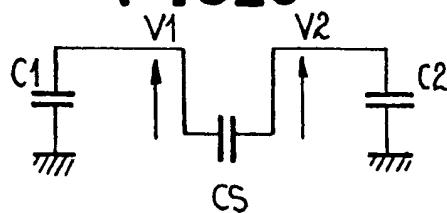
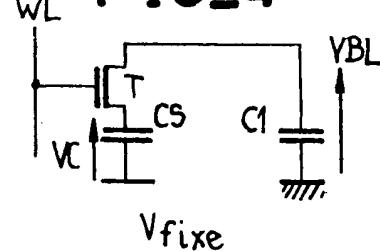
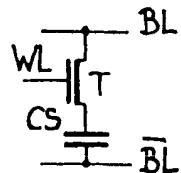
A la figure 9 on a appliqué ensuite une tension monté sur la ligne WL2. La tension stockée sur la capacité CS2 est 7,5 Volts (3/2 VCC). Cette fois-ci, la ligne BL monte au dessus de 5 Volts (VCC). L'amplificateur détecte la différence de tension entre BL et BL/ ce 10 qui provoque la descente de la ligne BL/ à 2,5 Volts. Pour la couplage capacitif la tension sur CS1 passe à 0 Volt.

A la figure 10 la tension sur les deux transistors T1 et T2 est basse. Quand maintenant la ligne BL/ remonte à 5 Volts (précharge), la tension sur CS1 passe à 2,5 Volts et la tension sur CS2 à 7,5 Volts. 15 Ainsi l'état logique "0" est mémorisé sur CS1 et l'état "1" sur CS2.

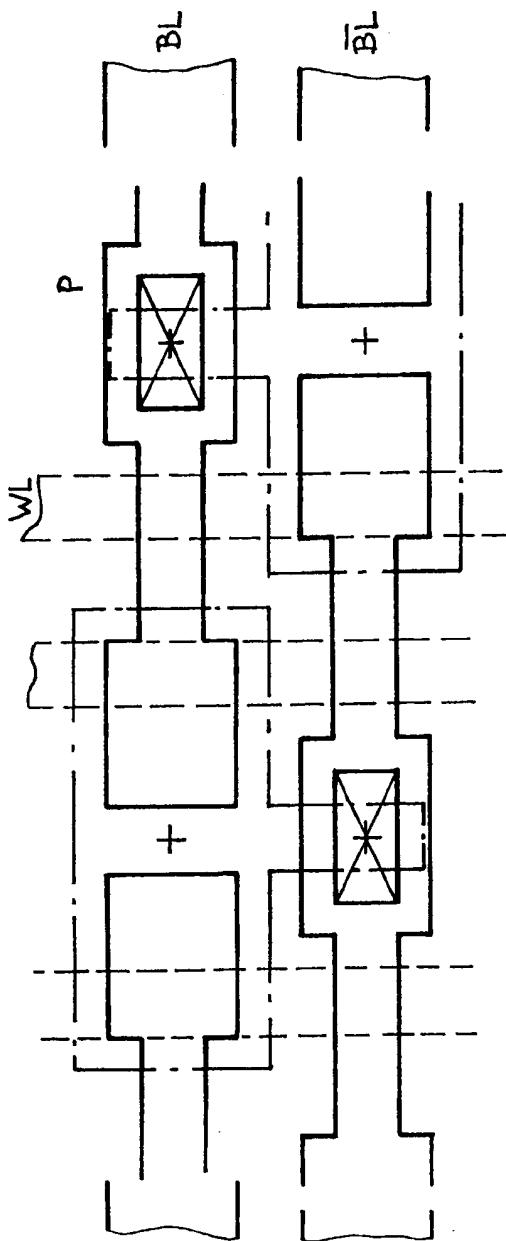
REVENDEICATIONS

1. Cellule mémoire couplée, du type comportant un élément de charge électrique à accès commandé par une ligne de sélection (WL) et au moins une ligne de charge (BL), caractérisée en ce que l'élément de charge est une capacité (CS) disposée flottante entre deux lignes de charge (BL, BL/) complémentaires.
5
2. Cellule mémoire selon la revendication 1, caractérisée en ce que au moins une borne de la capacité (CS) est reliée à une ligne de charge (BL) à travers un transistor (T) relié par une électrode de commande à la ligne de sélection (WL).
10
3. Cellule mémoire selon la revendication 1, caractérisée en ce que chaque borne de la capacité (CS) est reliée à une ligne de charge (BL ou BL/) à travers un transistor (M1 ou M2) relié par une électrode de commande à la ligne de sélection (WL).
15
4. Mémoire dynamique caractérisée en ce qu'elle comporte des cellules mémoire couplées selon l'une des revendications précédentes.
20
5. Mémoire dynamique selon la revendication 4, caractérisée en ce que les chemins d'oxyde sont réalisés en technologie submicronique en limitant l'utilisation en tension des cellules entre la valeur de la tension d'alimentation et la valeur moitié.
25
6. Mémoire selon la revendication 4, caractérisée en ce que chaque cellule est disposée entre deux lignes métalliques (BL, BL/), la capacité de stockage étant réalisée sur un premier niveau de silicium (poly 1) joignant les deux lignes métalliques (BL, BL/), un transistor (T) étant implanté sur une zone N+ (respectivement P) en contact seulement avec un second niveau de silicium (poly 2) relié à la ligne (WL), des zones P (respectivement N+) reliées à la ligne (BL) ou la ligne (BL/).

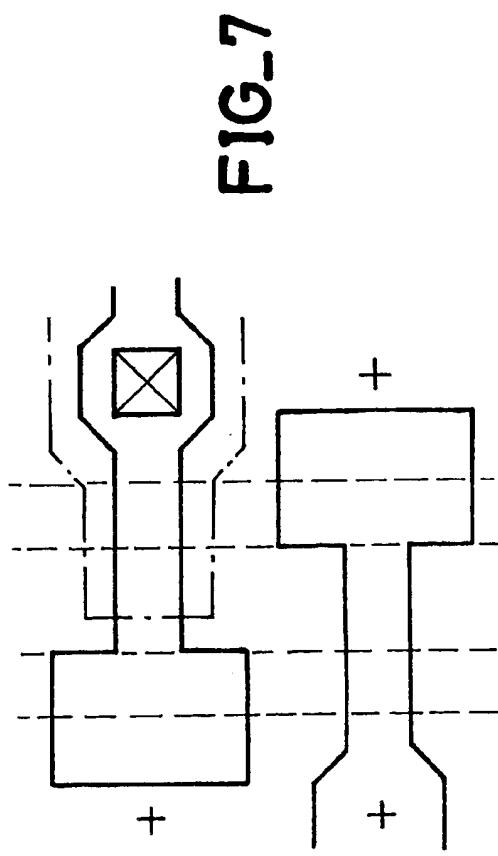
1/3

FIG_1**FIG_2-a****FIG_2-b****FIG_3****FIG_4****FIG_5**

2 / 3

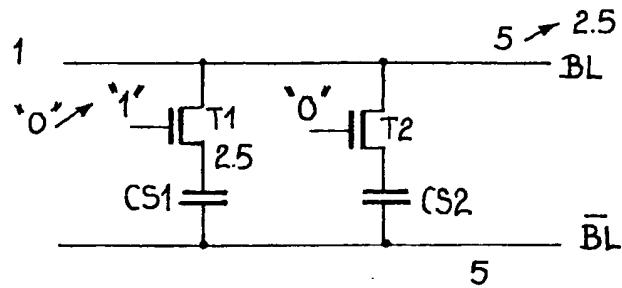
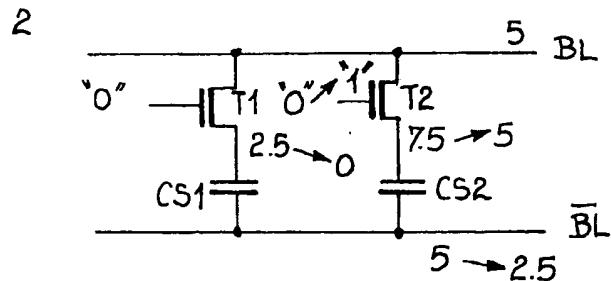


FIG_6



FIG_7

3/3

FIG_8**FIG_9****FIG_10**